

PAT-NO: JP407245946A

DOCUMENT-IDENTIFIER: JP  
07245946 A

TITLE: SEMICONDUCTOR  
SWITCHING CIRCUIT

PUBN-DATE: September 19,  
1995

INVENTOR-INFORMATION:  
NAME  
OKADA, YOICHI

ASSIGNEE-INFORMATION:  
NAME

COUNTRY  
SONY CORP

N/A

APPL-NO: JP06036686

APPL-DATE: March 8, 1994

INT-CL (IPC): H02M003/28

## ABSTRACT:

PURPOSE: To control the state of the standby of an output from a switching power supply efficiently by simple constitution.

CONSTITUTION: When a semiconductor switch 31 is brought to the state of a

standby by a semiconductor switching element on/off circuit 32, the energy of oscillating voltage generated by the stray capacitance of a semiconductor switching element and the inductance component of the circuit is regenerated in

the loop of a clamping diode 41 &rarr; a first dumper diode 12 &rarr; an input voltage source 1 when the energy exceeds maximum input voltage potential.

Accordingly, both-end voltage of the semiconductor switch 31 reaches rectangular-wave voltage itself as the peak value of input voltage as shown in (b) without being subject to the effect of the stray capacitance of the whole circuit and the inductance component even under the interrupting state of the semiconductor switch 31 as an output interrupting element.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-245946

(43)公開日 平成7年(1995)9月19日

(51)Int.Cl.<sup>9</sup>

H 0 2 M 3/28

識別記号

庁内整理番号

S

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平6-36686

(22)出願日 平成6年(1994)3月8日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岡田 洋一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

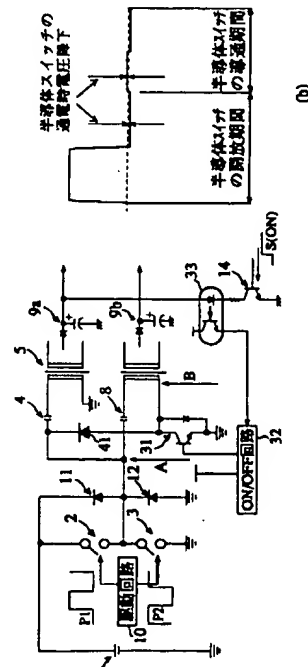
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 半導体スイッチ回路

(57)【要約】

【目的】 簡単な構成で、スイッチング電源の出力の待機状態を効率的に制御する。

【構成】 半導体スイッチ素子ON/OFF回路32により半導体スイッチ31が待機状態にあるとき、素子の浮遊容量・回路のインダクタンス成分によって発生する振動電圧が最大入力電圧電位を越えたところで、そのエネルギーは、クランプダイオード41→第1ダンパーダイオード12→入力電圧源1というループで入力電圧源1に再生され、その結果、出力遮断素子である半導体スイッチ31の遮断状態においても、回路全体の浮遊容量・インダクタンス成分の影響を受けることなく、半導体スイッチ31の両端電圧は、図1(b)に示すように、入力電圧の尖頭値とする矩形波電圧そのものとなる。



## 【特許請求の範囲】

【請求項1】 複数の出力トランスを有するスイッチング電源の少なくとも1つの前記出力トランスの主電流ループに挿入され、前記主電流ループを開閉制御して前記少なくとも1つの出力トランスの出力を遮断する半導体スイッチを備えた半導体スイッチ回路であって、前記半導体スイッチに印加される電圧をクランプするクランプ手段を備えたことを特徴とする半導体スイッチ回路。

【請求項2】 前記クランプ手段は、クランプダイオードであることを特徴とする請求項1に記載の半導体スイッチ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、複数の出力トランスを有するスイッチング電源の少なくとも1つの出力トランスの主電流ループに挿入され、主電流ループを開閉制御して、少なくとも1つの出力トランスの出力を遮断する半導体スイッチを備えた半導体スイッチ回路に関する。

## 【0002】

【従来の技術】従来より、複数の直流電圧を供給できる直流電圧源として、複数の出力トランスを備えたスイッチング電源が種々開発されている。図2(a)は、従来の2石電流共振コンバータを用いたスイッチング電源の要部の構成を示している。このスイッチング電源は、図2(a)に示すように、入力電圧源1を交互に切り換える主スイッチである第1トランジスタ2と第2トランジスタ3とを備え、第1トランジスタ2と第2トランジスタ3は、コンバータ駆動回路10により180°位相がずれた駆動パルスP1、P2により駆動され、交互にスイッチング動作を行うようになっている。

【0003】主トランス5では、このスイッチング動作により、共振コンデンサ4及び主トランス5のインダクタンスからなる共振系により主トランス5の1次側に短形波パルスが発生し、この短形波パルスによる主トランス5の2次側出力を整流回路9aで整流平滑することで、所望の電圧を得るようになっており、主トランス5からは常時所望の電圧が供給されている。尚、符号11は、第1ダンパダイオードで、符号12は、第2ダンパダイオードである。

【0004】一方、主トランス6では、電磁リレースイッチ7が導通状態では、スイッチング動作により共振コンデンサ8及び主トランス6のインダクタンスからなる共振系により主トランス6の1次側に短形波パルスが発生して主トランス5と同様な動作を行い、整流回路9bで整流平滑することで所望の電圧を得るようになっているが、電磁リレースイッチ7が非導通状態では、共振系が動作しない（電流が流れない）ので、主トランス6の2次側には出力が発生しない。すなわち、主トランス6では、電子リレースイッチ7により出力の待機状態を実

現するようになっている。

【0005】より詳細に説明すると、主トランス5においてスイッチング動作により、入力電圧源1から流れる電流の向きとしては、駆動パルスP1、P2により、(1)最初に第1トランジスタ2が導通し、かつ第2トランジスタ3が非導通の期間は、入力電圧源1→第1トランジスタ2→共振コンデンサ4→主トランス5の1次巻線→入力電圧源1の順に流れる。

(2)次に、第1トランジスタ2及び第2トランジスタ3が非導通の期間は、主トランス5に蓄えられたエネルギーが共振コンデンサ4への充電を完結させる向きへ、すなわち、主トランス5→第2ダンパダイオード11→共振コンデンサ4→主トランス5というループで流れる。

(3)続く、第2トランジスタ3が導通し、かつ第1トランジスタ2が非導通の期間は、共振コンデンサ4に蓄積された電荷の放電がなされ、共振コンデンサ4→主トランス5→第2トランジスタ3→共振コンデンサ4というループで流れる。

(4)そして、この放電は、再度の第1トランジスタ2及び第2トランジスタ3が非導通の期間に完結する。すなわち、この期間は、共振コンデンサ4→主トランス5→第1ダンパダイオード12→入力電圧源1→共振コンデンサ4というループで完結する。

【0006】このようなスイッチング動作の繰り返しにおいて、第1トランジスタ2と第2トランジスタ3の接続点（図中A点電位）、つまり第1トランジスタ2のソースまたはエミッタ及び第2トランジスタ3のドレインまたはコレクタには、入力電圧を最大値とすると、図2(b)に示すような比率1:1の短形波パルスが発生する。この短形波パルスを、主トランス5のインダクタンス及び共振コンデンサ4からなる共振系に加え、主トランス5の出力パルスを整流回路9aで整流平滑して所望の出力電圧を得ている。

【0007】主トランス6では、動作開始時には、入力電圧源1から電圧が印加されるとコンバータ動作が開始されるが、電磁リレースイッチ7が非導通となっているため、待機状態に入る。すなわち、電磁リレースイッチ7は、ON信号S(ON)により制御素子14が動作するまで開放状態を保つ。その後、ON信号S(ON)がアクティブとなるのを受けて制御素子14が動作し、電磁リレースイッチ7が導通して主トランス5と同様に動作し、それまで電磁リレースイッチ7によって切り離されていた主トランス6が励磁される。その後の動作は、主トランス5と同じであるので、説明は省略する。

【0008】理想的状態（回路の浮遊容量・インダクタンス成分を無視した状態）においては、主トランス6の励磁電流ループに挿入された電磁リレースイッチ7の両端には、入力電圧をピークとした図2(b)に示した短形波電圧がかかる。主トランス6では、ON信号S(0

N)により待機状態時には電磁リレースイッチ7を開放することで不要出力を遮断するようになっている。

【0009】このような電磁リレースイッチ7を用いることで、それまでの待機状態の動作を実現するに装置として用いられていた、例えば図3に示すような商用ACトランス21を介して主コンバータ遮断リレー22の導通を制御して待機状態を実現するスイッチング電源や、図4に示すような待機状態用のコンバータ回路23を備えた複数のコンバータ回路を搭載したスイッチング電源等と異なり、安価でかつ軽量にスイッチング電源を構成

することができた。

【0010】しかし、図2(a)のような電磁リレースイッチ7を用いたスイッチング電源では、第1トランジスタ2、第2トランジスタ3及び共振コンデンサ等からなるコンバータ回路は常に動作状態であるので、ON/OFFのタイミングが制御できず、電磁リレースイッチ7の導通の瞬間に、主トランス6の2次側の整流回路9bの平滑コンデンサが急激に充電され、インピーダンスの低下が生じ、1次側の主電流の伸びが大きくなるので、電磁リレースイッチ7の導通の瞬間の第1トランジスタ2、第2トランジスタ3への過電流を抑制するための過電流抑制回路が必要となり、回路が複雑になるといった問題があった。

【0011】そこで、出力のON/OFF制御を行うスイッチ素子として、ゼロクロス可能な低導通抵抗成分を有する、低駆動電力型半導体を用いることが理想的となる。図5(a)に、電磁リレースイッチ7の代わりに半導体スイッチ31を用いたスイッチング電源の構成を示す。このスイッチング電源では、ON信号S(ON)による制御素子14の出力によりフォトカプラ33を介して半導体スイッチ素子ON/OFF回路32が半導体スイッチ31の導通を制御するようになっている。その他の動作は基本的に図2(a)と同じであるので説明は省略する。尚、半導体スイッチ31としては、一般的には、バイポーラトランジスタ、MOS-FET、IGBT等が用いられる。

【0012】

【発明が解決しようとする課題】しかしながら、図5(a)に示すような単なる半導体スイッチ31だけを用いる場合、素子の寄生容量・回路のインダクタンス成分によって、OFF時には半導体スイッチ31の両端には、図5(b)に示すような大きな電圧振動が現れ、そのために半導体スイッチ31は高耐圧素子である必要があるとともに、OFF時、すなわち待機状態においては、この電圧振動がノイズ源となるといった問題がある。

【0013】本発明は、上記事情に鑑みてなされたものであり、簡単な構成で、スイッチング電源の出力の待機状態を効率的に制御することのできる半導体スイッチ回路を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明の半導体スイッチ回路は、複数の出力トランスとしての主トランス5、6を有するスイッチング電源の少なくとも主トランス6の主電流ループに挿入され、主電流ループを開閉制御して主トランス6の出力を遮断する半導体スイッチ31を備えた半導体スイッチ回路であって、半導体スイッチ31に印加される電圧をクランプするクランプ手段としてのクランプダイオード41を備えて構成される。

【0015】

【作用】本発明の半導体スイッチ回路では、クランプダイオード41で半導体スイッチ31に印加される電圧をクランプすることで、簡単な構成で、スイッチング電源の出力の待機状態を効率的に制御することを可能とする。

【0016】

【実施例】以下、図面を参照しながら本発明の実施例について述べる。本実施例の半導体スイッチ回路を備えたスイッチング電源の構成は、図5(a)に示したスイッチング電源とほとんど同じ構成であるので、異なる構成のみ説明し、同一構成には同じ符号を付け、説明は省略する。

【0017】図1に示すように、本実施例の半導体スイッチ回路は、半導体スイッチ31と、アノードを半導体スイッチ31のコレクタに接続しカソードを第1トランジスタ2と第2トランジスタ3の接続点、つまり第1トランジスタ2のソースまたはエミッタ及び第2トランジスタ3のドレインまたはコレクタに接続したクランプダイオード41とから構成される。その他のスイッチング電源の構成は図5(a)に示したスイッチング電源と同じである。

【0018】このように構成された本実施例の作用について説明する。半導体スイッチ素子ON/OFF回路32により半導体スイッチ31が待機状態(OFF状態)にあるとき、素子の浮遊容量・回路のインダクタンス成分によって発生する振動電圧が、図中B点電位、つまり最大入力電圧電位を越えたところで、そのエネルギーは、クランプダイオード41→第1ダンパーダイオード12→入力電圧源1というループで入力電圧源1に回生され、その結果、出力遮断素子である半導体スイッチ31の遮断状態においても、回路全体の浮遊容量・インダクタンス成分の影響を受けることがなく、半導体スイッチ31の両端電圧は、図1(b)に示すように、入力電圧の尖頭値とする矩形波電圧そのものとなり、理想状態に近づいた特性を有することとなる。その他の作用は、図2及び図5で説明した作用と同じであるので説明は省略する。

【0019】このように、本実施例の半導体スイッチ回路は、待機状態時にクランプダイオード41により振動電圧のエネルギーを入力電圧源に回生させているので、半

5

導体スイッチ31にかかる電圧を入力電圧にクランプすることとなり、安価で高性能な半導体、例えば低飽和電圧のバイポーラトランジスタ、駆動が容易なMOS-FETあるいはIGBT等の半導体スイッチ素子を使用することができる。また、低耐圧素子が使用できるということは、つまり導通時のエネルギー損失を低減させることができ、回路全体の効率を高めることができる。さらに、振動電圧、すなわち高周波振動成分を抑制しているため、ノイズ対策を不要にすることができる。

【0020】

【発明の効果】以上説明したように本発明の半導体スイッチ回路によれば、クランプ手段で半導体スイッチに印加される電圧をクランプするので、簡単な構成で、スイッチング電源の出力の待機状態を効率的に制御することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の半導体スイッチ回路の一実施例を備えたスイッチング電源の構成を示す構成図である。

【図2】従来例に係る電磁リレースイッチを備えたスイッチング電源の構成を示す構成図である。

【図3】従来例に係る商用ACトランスを介して主コン

6

バータ遮断リレーの導通を制御して待機状態を実現するスイッチング電源の構成を示す構成図である。

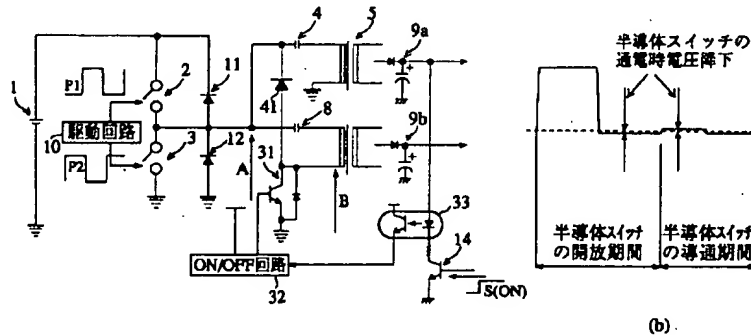
【図4】従来例に係る待機状態用のコンバータ回路を備えた複数のコンバータ回路を搭載したスイッチング電源の構成を示す構成図である。

【図5】従来例に係る半導体スイッチを備えたスイッチング電源の構成を示す構成図である。

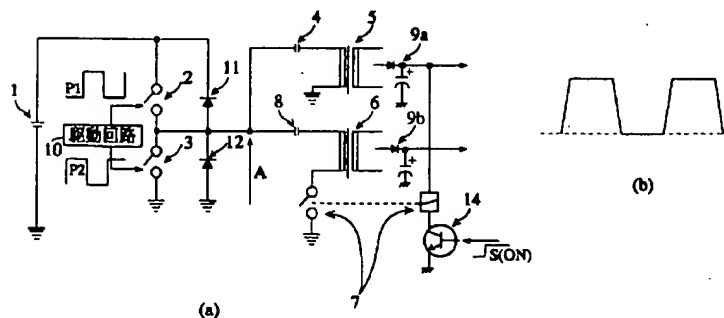
【符号の説明】

- |        |                   |
|--------|-------------------|
| 1      | 入力電圧源             |
| 2      | 第1トランジスタ          |
| 3      | 第2トランジスタ          |
| 4, 8   | 共振コンデンサ           |
| 5, 6   | 主トランス             |
| 9a, 9b | 整流回路              |
| 10     | コンバータ駆動回路         |
| 14     | 制御素子              |
| 31     | 半導体スイッチ           |
| 32     | 半導体スイッチ素子ON/OFF回路 |
| 33     | フォトカプラ            |
| 20     | 41 クランプダイオード      |

【図1】

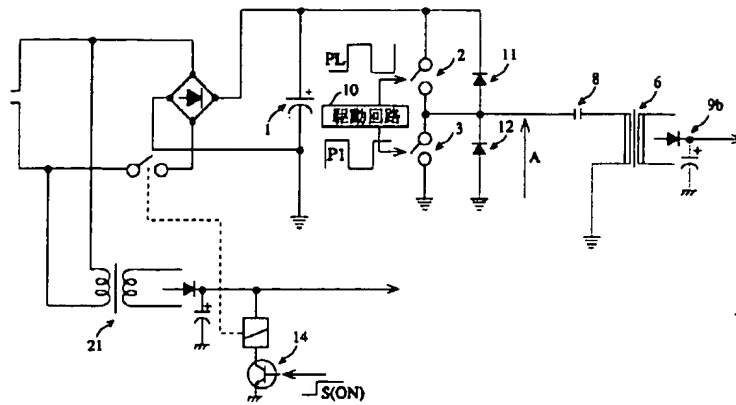


【図2】

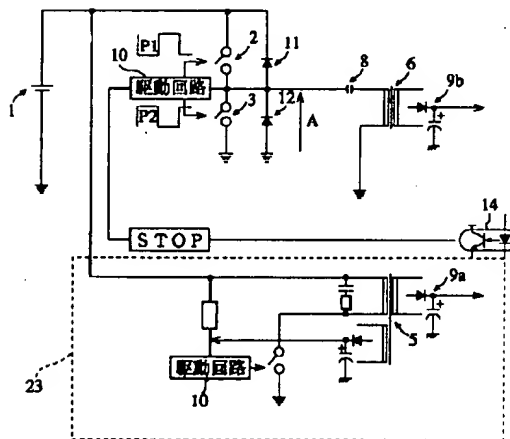




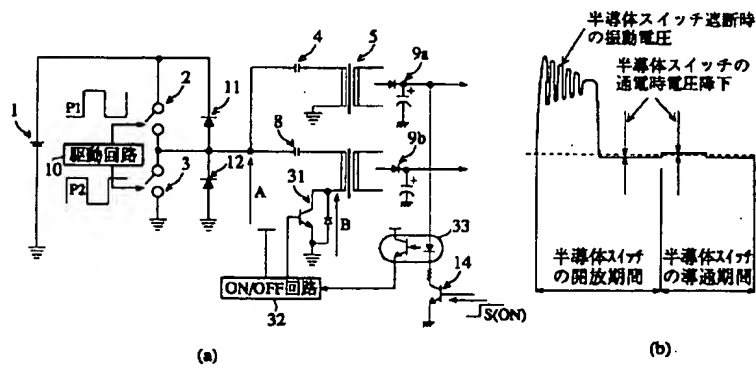
【図3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**